

? t 1/5/all

1/5/1 (Item 1 from file: 351)
 DIALOG(R)File 351:DERWENT WPI
 (c)1997 Derwent Info Ltd. All rts. reserv.

008199084 **Image available**
 WPI Accession No: 90-086085/199012
 Integrated circuit chip loading - employing method of precision printing
 electric wiring on substrate having insulation surface NoAbstract Dwg 3/3
 Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)
 Number of Countries: 001 Number of Patents: 001
 Patent Family:

Patent No	Kind	Date	Applicat	No	Kind	Date	Main IPC	Week
JP 2037734	A	19900207	JP 88189315	A	19880727			199012 B

Priority Applications (No Kind Date): JP 88189315 A 19880727

Patent Details:

Patent	Kind	Lan	Pg	Filing	Notes	Application	Patent
JP 2037734	A		8				

Derwent Class: U11; V04

International Patent Class (Additional): H01L-021/60; H05K-003/12

File Segment: EPI

Manual Codes (EPI/S-X): U11-D03B1; U11-E01X; V04-R02

1/5/2 (Item 1 from file: 347)
 DIALOG(R)File 347:JAPIO
 (c) 1997 JPO & JAPIO. All rts. reserv.

03062234
 MOUNTING METHOD FOR IC CHIP

PUB. NO.: 02-037734 [JP 2037734 A]
 PUBLISHED: February 07, 1990 (19900207)
 INVENTOR(s): MASE AKIRA
 KONUMA TOSHIMITSU
 YAMAZAKI SHUNPEI
 OKA TAKESHI
 YAMAZAKI HIROSHI
 APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company
 or Corporation), JP (Japan)
 OMRON TATEISI ELECTRON CO [000294] (A Japanese Company or
 Corporation), JP (Japan)
 APPL. NO.: 63-189315 [JP 88189315]
 FILED: July 27, 1988 (19880727)
 INTL CLASS: [5] H01L-021/60; H05K-003/12
 JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 42.1
 (ELECTRONICS -- Electronic Components)
 JOURNAL: Section: E, Section No. 918, Vol. 14, No. 190, Pg. 80, April
 18, 1990 (19900418)

ABSTRACT

PURPOSE: To improve production yield of product and reduce production cost
 of the product by allowing an IC bump to contact the signal I/O part of a
 circuit on a board to perform electrical connection after aligning the

height of the signal I/O part of the circuit on the board.

CONSTITUTION: A paste with a conductive particle on a board 1 is printed on an electrode or a lead pattern and at least an IC chip 5 of the printed pattern is subject to press treatment for the part to be in contact for aligning the height. Then, heat treatment is performed to the printed pattern, the electrode or the lead is completed, and a pad of the signal I/O part of the lead and the bump of the signal I/O part of the IC chip 5 are allowed to be connected electrically. It allows the height of an electrode pattern 2 formed by the printing method can be made uniform and a complete conduction can be obtained without any improper conductive part on mounting the IC chip 5. Also, resistance of the electrode can be reduced by the press treatment.

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2615149号

(45) 発行日 平成 9 年(1997) 5 月 28 日

(24) 登録日 平成 9 年(1997) 3 月 11 日

(5i) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/60

3 1 1

H 0 1 L 21/60

3 1 1 S

請求項の数 2 (全 4 頁)

(21) 出願番号 特願昭63-189315

(22) 出願日 昭和63年(1988) 7 月 27 日

(65) 公開番号 特開平2-37734

(43) 公開日 平成 2 年(1990) 2 月 7 日

(73) 特許権者 999999999

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 間瀬 晃

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

(72) 発明者 小沼 利光

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

(72) 発明者 岡 毅

京都府京都市右京区花園土堂町10番地
立石電機株式会社内

最終頁に続く

(54) 【発明の名称】 I Cチップの実装方法

1

(57) 【特許請求の範囲】

【請求項 1】 絶縁製表面を有する基板上に導電性粒子を有するペーストをスクリーン印刷法により電極又はリードのパターンに印刷する工程と前記印刷パターンの少なくとも ICチップと接触する部分に対しプレス処理を施し高さを揃える工程と前記印刷パターンに対し熱処理を施し電極又はリードを完成する工程と前記電極又はリードの信号入出力部のパッドと ICチップの信号入出力部のパンプとを対抗させ電氣的に接続させる工程とを有することを特徴とする ICチップの実装方法。

【請求項 2】 特許請求の範囲第 1 項において前記印刷パターンの少なくとも ICチップと接触する部分に対しプレス処理を施し電極又はリードの高さを揃える工程に先立って前記印刷パターンに予備の熱処理を施すことを特徴とする ICチップの実装方法。

2

【発明の詳細な説明】

「本発明の利用分野」

この発明は低コスト化を図るために、プリント基板、硝子基板等の絶縁基板もしくは絶縁性表面を有する基板上に電気配線を精密印刷する方法を用いた ICチップの実装方法。

「従来技術」

従来、プリント基板上に電気配線を形成するにはガラスエポキシ等の絶縁基板上に銅箔を貼り付け、公知であるフォトリソグラフィ工程を用いて、ウェットエッチング法により電気配線を形成する手法がとられていた。

またサーマルヘッド等の装置の場合においては絶縁体であるセラミック基板上に Au を中心とする導電金属を基板表面全体にイオンプレーティング法等により蒸着し、プリント基板の場合と同様にフォトリソグラフィ法を

用いて、ウェットエッチング法により電気配線を形成する手法が採られていた。

プリント基板等において、半導体素子の端子を入れる穴と穴とのピン間隔は0.1インチ(2.45mm)で、この間に3本以上の電気配線回路を描く高密度プリント配線板のパターン形成はもっぱらフォトリソグラフィ法が用いられていた。プリント配線板にドライフィルムを貼り、この上に露光、現像という写真技術で配線パターンを描いて、不要部分を溶剤で溶かしてパターンを形成する方法が採られてきた。

この方法に使用される銅箔およびドライフィルム、現像液等の材料費が高価であるとともに、露光装置も高価であるために、製造原価をあげる一因となっていた。

さらにフォトリソグラフィ法は、その工程が複雑でありまた所要時間も相当必要であり、この方法自身がコスト高につながっていた。

またサーマルヘッド、イメージセンサ、液晶表示装置の電極パターン形成時においても同様にフォトリソグラフィ工程が用いられ、各々の装置の製造原価をあげていた。

かかる問題を解決するため、印刷法により直接基板上に形成することで、従来法で必要であった配線のベースとなる銅箔、フォトレジスト、現像液等の材料費およびその工程にかかわる時間および人件費を省くことができ、コストの低減を行う方法が提案されている。

ガラス、ガラスエポキシ、セラミック等の絶縁基板上または既に配線の設けられた基板上に絶縁層を形成したその上に金属粉または合金粉を含む導電性印刷用インクを印刷法により1~20 μm 程度の膜厚を有するパターンの印刷を行うものである。

このような手法により基板上に直接描かれた回路上に電子装置駆動用のICを実装するにはCOB(チップオンボード)技術が知られており、このCOBにおいても従来はICの電極パッドと基板上の回路の信号入出力部とを金属細線を用いて1本ずつ接続を行っていた。

しかし生産性及びコスト面などの要求よりICパッドにバンパを設け基板上の回路の信号入出力部とを直接接触させるフリップチップ法が開発されている。

この場合ICバンパと基板上の回路の信号入出力部との接触が完全になされず、導通不良を起こし製品の歩留り低下をおこすという問題が生じていた。

本願発明はその構成として基板上に直接印刷法等に描かれた電極又はリード等による回路の少なくともICのバンパと接触する部分に対し、プレス処理を施すことにより基板上の回路の信号入出力部の高さを揃えた後ICバンパを基板上の回路の信号入出力部に接触させ電氣的接続を行うことにより前述の問題を解決し、製品の製造歩留りを向上せしめ製品の製造コストを下げるという効果を有するものであります。

以下に実施例により本発明を説明する。

「実施例」

導電性印刷インクとして市販されているポリマー型銅ペーストを用いて絶縁性表面を有する基板上に所定の電極又はリードのパターン(2)を公知のスクリーン印刷法により印刷した。

本実施例にて使用したポリマー型銅ペーストは三井金属鉱業製で商品名S-5000として市販されており5 μm 程度の粒子径を有する銅粒子と、エポキシ樹脂と有機溶剤とから構成されている。

10 このような導電性印刷ペーストを200~400メッシュのスクリーンを用いて所定のパターン(2)に印刷する。この場合印刷パターンの電極又はリードの巾は最小40 μm 最大100 μm 程度でありスクリーンメッシュの空いている間隔が20~40 μm であり、当然印刷されたパターン(2)にはメッシュに相当する高低差が存在する。

今、厚さ20 μm 巾40 μm で100本の直線状の電極の印刷を行った場合、最大の厚さ27 μm 最小の厚さ13 μm であり、1本の電極間においても高低差が存在し複数本の電極間においても高低差が存在していた。その様子を第2図(a)に示す。

20 このように約15 μm も高低差の存在する電極パターンに対してICチップを接触させて完全な導通を得ることは当然ながら不可能であった。

そのため本実施ではまず第1図に示す電極又はリードパターン(2)を絶縁性表面を有する基板(1)上に前述の導電性ペーストを用いて印刷した。第1図はその一部しか示されていないが80本の電極パターンを印刷した。この状態では前述の如く電極又はリードパターンは高低差が存在し、例えば電極(33)の高さは15 μm であり、電極(3)の高さは29 μm で80本の電極の平均は19.5 μm であった。

30 次にこの印刷したパターンに対し、予備の熱処理を行う。すなわち導電性ペーストが完全に固化しない程度に熱を加え印刷されたパターン中に存在する有機溶剤の一部を飛ばす処理を行った。実際には60℃で約5分の予備の熱処理を行った。

次にこの電極に対し、プレス処理を施した。本実施例の場合ロールプレスを用いて面圧力20kg/cm²の圧力で、この予備の熱処理が施された印刷パターンにプレス処理を行った。この後180℃30分間の熱処理を施し電極パターンの完全固化を行った。この時に電極(33)の高さは14 μm となり、電極(3)の高さは20 μm となつて、80本の電極の平均の高さは18.0 μm であった。プレス後の電極パターンの様子を第2図(b)に示す。

このプレス処理は基板(1)上に形成された電極パターンのうちのICチップのバンパと接触する部分だけでよいが電極パターン全体又はほぼ全体を行うとプレス処理により形成されたパターン中に存在する銅粒子同志の接触面積が増し、電極の導電性が向上するという別の特徴を有する。

5

次にICチップ(5)の bumps (6) と基板上のパターン(2)の信号入出力部との位置合わせを行い両者を接触させる。

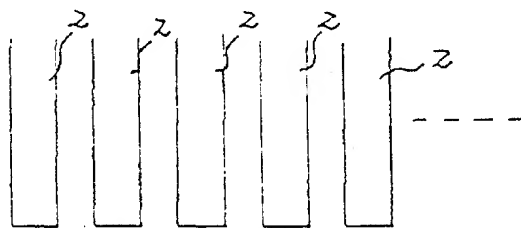
この時150℃程度に加熱しながら紫外光硬化接着剤(4)をICチップ(5)に塗布し、紫外光を照射して接着した後、加熱を中止してICチップの基板上への実装を終了する。この時の様子を第3図に示す。

ICチップ(5)を基板上に接着する接着剤(4)は温度変化に伴って体積膨張収縮を行う。本実施例では加熱した状態すなわち体積が膨張した状態で硬化させたので温度を下げて行っても接着剤は体積収縮しICチップ(5)を基板に押しつける力が増すのみで、温度サイクル試験等に十分耐えるという特徴を持っている。

比較のためにプレス処理を行わない印刷パターンにICチップを実装し、その電気的な接続の特性を調べた結果を以下の表に示す。

	プレス有り	プレス無し
bumps と信号入出力部との接続箇所	80	80
良導通数	80	70
不良導通数	0	10

【第1図】



6

このようにプレス処理が施された本発明方法はすべての接続部分が良導通性を示し、接続部の歩留りは100%とすることができた。

本実施例ではプレス後の電極の高さの最高と最低の差が6 μmであった。本来この高低差0が最も良い結果を示すと考えられるが本発明者らによると高低差が8 μmでも接続可能であることが判明している。

【効果】

本発明方法により印刷法にて形成された電極パターンの高さを揃えて形成することができ、ICチップの実装時の不良導通箇所が全くなく完全な導通が得られた。

又、プレス処理により電極の抵抗値が下がるという特徴も有する。

【図面の簡単な説明】

第1図及び第2図は本発明方法による電極の印刷パターンを示す。

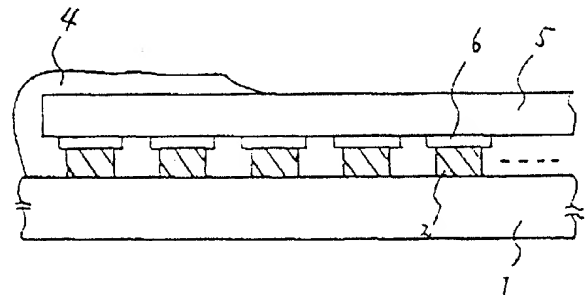
第3図はICチップ実装の様子を示す。

1……基板、5……ICチップ

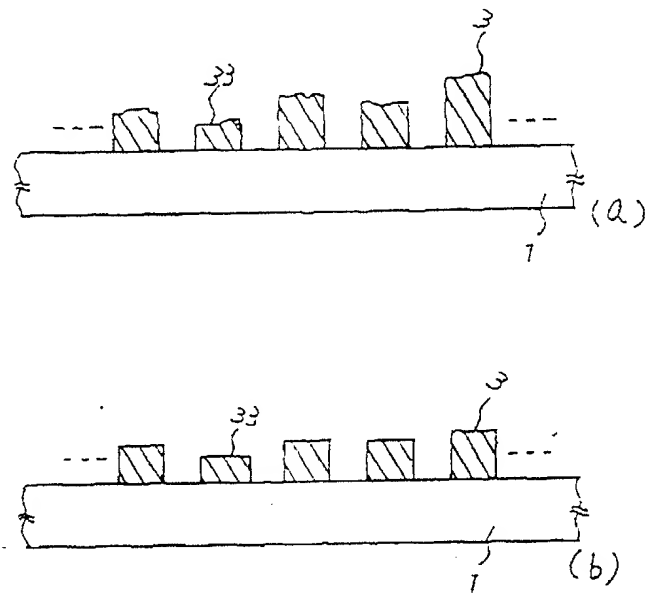
2……電極パターン

20 4……接着剤

【第3図】



【第2図】



フロントページの続き

(72)発明者 山崎 博史
京都府京都市右京区花園土堂町10番地
立石電機株式会社内

審査官 金 公彦

(56)参考文献 特開 平1-170079 (JP, A)
特開 平2-10844 (JP, A)